

501.42810X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): HONMURA, Tetsuroo
Serial No.: Not yet assigned
Filed: June 26, 2003
Title: SEMICONDUCTOR INTEGRATED CIRCUITS
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

June 26, 2003

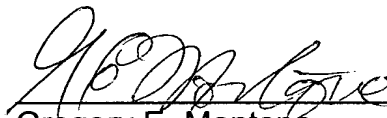
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2002-247969, filed August 28, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/alb
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月28日

出 願 番 号

Application Number:

特願2002-247969

[ST.10/C]:

[JP2002-247969]

出 願 人

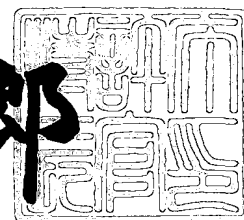
Applicant(s):

株式会社日立製作所

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3030688

【書類名】 特許願

【整理番号】 H02005411A

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

 【氏名】 本村 哲朗

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社 日立製作所

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

 【電話番号】 03-3212-1111

【手数料の表示】

 【予納台帳番号】 013088

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】

第 1 のメモリ空間上のアドレスと第 2 のメモリ空間上のアドレスとの対応関係を示すアドレス情報を格納する不揮発性メモリと、

上記第 2 のメモリ空間上にアドレスを有する複数の機能モジュールと、

上記アドレス情報を格納するバスコントロール回路とを有し、

上記バスコントロール回路は、第 1 のメモリ空間上のアドレスを受けて、上記アドレス情報を用いて上記第 2 のメモリ空間上のアドレスに変換し、上記複数の機能モジュールのうち該当する機能モジュールにアクセスする半導体集積回路装置。

【請求項 2】

請求項 1 において、

バスと、

上記複数の機能モジュールと上記バスとの間の接続を制御するスイッチ回路とを有し、

上記不揮発性メモリは、上記バスへの上記複数の機能モジュールの接続／非接続情報を格納しており、

上記スイッチ回路は上記接続／非接続情報に基づき、上記バスに接続する機能モジュールを選択する半導体集積回路装置。

【請求項 3】

請求項 1 において、

上記アドレス情報を上記半導体集積回路装置のプローブテスト時に上記不揮発性メモリに書き込む半導体集積回路装置。

【請求項 4】

請求項 2 において、

上記接続／非接続情報を上記半導体集積回路装置のプローブテスト時に上記不揮発性メモリに書き込む半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、携帯電話やカメラなどのシステム機器に組み込まれる周辺LSIに係る。ここで、周辺LSIとは、CPUコアの処理を補助するための半導体集積回路である。

【0002】

【従来の技術】

近年、CPUコアと周辺LSIとを別チップとして開発し、1つの半導体装置としてまとめたマルチチップモジュールやシステム・イン・パッケージと呼ばれる製品形態が増加している。通常、このような半導体装置における周辺LSIは、CPUコアからの起動命令を受けて動作を開始する。

【0003】

周辺LSIは、CPUコアあるいは周辺装置との間でデータ転送を行う必要がある。“LOGIC AND COMPUTER DESIGN FUNDAMENTALS”, M. MORRIS MANO, 2000, PRENTICE HALLのpp. 580-609に記載されているように、データ転送方法は以下の3つの種類がある。

【0004】

第1のデータ転送方法は、例えば画像圧縮のように大規模データの加工を伴う処理において行われるデータ転送方法であり、周辺LSIがバスマスタとなりデータ転送を行う。第2のデータ転送方法はCPUコアがバスマスタとなりデータ転送が行われる。第3のデータ転送方法は、CPUバスに接続されたDMAC（ダイレクト・メモリ・アクセス・コントローラ）がバスマスタとなりデータ転送を行うものである。これらのいずれの方法も、周辺LSIを含めた半導体装置全体が一つのCPUコアのメモリ空間となっている。

【0005】

【発明が解決しようとする課題】

ところが、半導体装置に要求される機能が急速に拡大されるにつれ、周辺LSI

Iの実行すべき処理も膨大となっている。そのため、周辺LSIのみを取り替えることにより半導体装置の実行可能な機能を切り換えることができれば有利である。すなわち、半導体装置全体を一つのCPUコアのメモリ空間とするためにはCPUコアと周辺LSIとをあわせて開発する必要がある。しかし、CPUコアのメモリ空間と周辺LSIのメモリ空間とを別々にしておけば、別々に開発したCPUコアと周辺LSIとを任意に組み合わせて半導体装置を実現することが可能になる。

【0006】

そのためにはCPUコアのメモリ空間と周辺LSIのメモリ空間との間で、両者の透過性を実現する必要がある。

【0007】

【課題を解決するための手段】

このために、CPUメモリ空間と周辺LSIの2つのメモリ空間で互いに透過になる必要のある領域をあらかじめ定め、そのアドレス情報を予め保有しておく。望ましくは、その情報を半導体集積回路装置上の不揮発性メモリに格納しておく。両メモリ空間をまたがるアクセスが生じた場合には、アドレス情報を用いて両メモリ空間のアドレス領域の変換を行う。

【0008】

【発明の実施の形態】

以下、本発明の実施の形態を図を用いて詳細に説明する。

【0009】

図2は、携帯電話を例にとった半導体装置SCの模式図である。送受信部47はCPU27を有する。CPU27の主要な目的は送受信データの変復調処理である。CPU27には、CPUバス21を介してメモリMEM1、フラッシュメモリFLS2、周辺LSI(PLSI)33が接続されている。また、周辺LSI33はIOバスやフラッシュメモリFLS1が接続され、さらにIOバス1にはメモリMEM2、ディスプレイコントローラLCDC、カメラCAMが接続されている。このようにディスプレイLCDやカメラCAMはシステムバスであるCPUバス21には接続されず、周辺LSI33を介してのみ接続される。これ

により圧縮前画像の膨大なデータがCPUバス21を占領してしまうことを防止している。

【0010】

また、周辺LSI33はその内蔵するインタフェース回路を用いて外部の周辺装置DEVとも通信可能に構成されている。

【0011】

以下に、図2のシステムにおいて生じうるデータ転送の種類を列挙する。ここでは5種類のデータ転送の形態を挙げる。

【0012】

データ転送①は、フラッシュメモリFLS1と周辺装置DEVとの間でのデータ転送である。このデータ転送を制御する制御LSIは周辺LSI33となる。フラッシュメモリFLS1及び周辺装置DEVは、それぞれ周辺LSI33の内蔵するインタフェース回路（機能モジュール）により接続されるためである。データ転送①は周辺LSI33のメモリ空間において行われる。

【0013】

データ転送②は、フラッシュメモリFLS2と周辺装置DEVとの間でのデータ転送である。このデータ転送を制御する制御LSIは周辺LSIとなる。フラッシュメモリFLS2はCPUバス21に接続され、周辺装置DEVのインタフェース回路は周辺LSI33に内蔵されているため、両者をみることができるのは周辺LSI33であるためである。データ転送②はCPU27のメモリ空間と周辺LSI33のメモリ空間にまたがって行われる。例えば、フラッシュメモリFLS2のプログラム格納領域に周辺装置DEVを制御するプログラムが格納されている場合、システムは当該プログラムを周辺装置DEVに転送することにより、周辺装置DEVを制御することができる。

【0014】

データ転送③は、後述するデータ加工や、既に述べた周辺装置DEVとのデータ転送を伴わないデータ転送である。例えば、メモリMEM1からその格納された内容をディスプレイLCDに表示する場合である。データ転送③もまたCPU27のメモリ空間と周辺LSI33のメモリ空間にまたがって行われる。しか

し、データ転送②と異なり、このデータ転送を制御する制御 L S I は C P U 2 7 または C P U バス 2 1 に接続された図示しないダイレクトメモリアクセスコントローラである。データ転送③においては、周辺 L S I 3 3 はバス制御のみを行う。メモリ M E M 1 のデータは C P U バス 2 1 に出力され、周辺 L S I 3 3 は当該データを C P U バス 2 1 から I O バス 1 を介してディスプレイ L C D に転送する。例えば、携帯電話の待ち受け時にメールが着信したことを知らせるメッセージの表示において、データ転送③が行われる。

【 0 0 1 5 】

データ転送④及び⑤は、周辺 L S I 3 3 が内蔵するデータ加工を行う I P (機能モジュール) を利用するシステムレベル動作であり、制御 L S I はどちらも周辺 L S I 3 3 となる。データ転送④及び⑤もまた C P U 2 7 のメモリ空間と周辺 L S I 3 3 のメモリ空間にまたがって行われる。

【 0 0 1 6 】

データ転送④の動作例は、受信したデータを加工して表示する動作である。C P U 2 7 が受信データをメモリ M E M 1 に格納した後、周辺 L S I 3 3 は、メモリ M E M 1 から C P U バス 2 1 を経由して周辺 L S I 3 3 に転送させ、受信データを周辺 L S I 3 3 で加工した後、加工したデータを I O バス 1 によりディスプレイ L C D に転送する。例えば、ビデオメールの受信のように、圧縮動画像を受信し、周辺 L S I 3 3 で伸張してディスプレイ L C D に表示するような場合が挙げられる。

【 0 0 1 7 】

データ転送⑤の動作例は、データ入力装置から入力したデータを加工して送信する動作である。専用信号線 4 8 を経由してカメラ C A M から周辺 L S I 3 3 に画像データを取り込み、画像データを加工して、C P U バス 2 1 を経由して C P U 2 7 に転送する。例えば、ビデオメールの送信のように、カメラで取り込んだ動画像を周辺 L S I 3 3 で圧縮して圧縮データを送信するような場合が挙げられる。

【 0 0 1 8 】

以下、上記のデータ転送を実現する周辺 L S I の構成、動作について説明する

(1) 周辺 L S I の構成

周辺 L S I の主要な構成を図 1 に示す。周辺 L S I 3 3 は、複数の機能モジュールを内蔵している。内蔵する機能モジュールとしては、画像の圧縮と伸張処理を行う画像圧縮伸張回路 G R P、カメラ等と大容量データ通信を行うためのビデオ入出力回路 V I O と双方向シリアルバス I I C、および周辺装置 E D E V とのシリアルデータ通信を行うためのインタフェース回路群 5 がある。例えば、U S B インタフェース回路 5 - 1、Bluetooth インタフェース回路 5 - 2、シリアル入出力インタフェース回路 5 - 3 等を含む。画像圧縮伸張回路 G R P は、例えば M P E G 4 の規格に則った専用回路である。画像圧縮伸張回路 G R P、ビデオ入出力回路 V I O および双方向シリアルバス I I C は通信転送レートが高いため転送レートの高い内部バス 3 に接続され、インタフェース回路群 5 は転送レートの低い周辺バス 4 に接続される。後述するように、本発明の周辺 L S I では使用する半導体装置の機能に応じて内蔵する機能モジュールの使用・不使用を選択することができる。このためにバス・電源スイッチ回路 B P S W が設けられており、使用しない機能モジュールに電源供給を遮断し、バスとの接続を遮断できる。このような選択機能をもたせない場合には、スイッチ回路 B P S W を介することなくバスと各機能モジュールとを接続すればよい。

【 0 0 1 9 】

フレキシブル B S C (フレキシブルバスコントローラ、F B S C) 2 2 は周辺 L S I 3 3 のデータ転送を制御する。C P U 2 7 のメモリ空間と周辺 L S I 3 3 のメモリ空間をまたがってデータ転送を行う場合には、フレキシブル B S C 2 2 は、C P U 2 7 のメモリ空間と周辺 L S I 3 3 のメモリ空間とのマッピングのためのアドレス変換情報を使用する。このアドレス変換情報は、内蔵フラッシュメモリ I F L S に外部ピン 6 9 から格納される。読み出し回路 F L S R は、内蔵フラッシュメモリ I F L S に格納されたアドレス変換情報を読み出し、フレキシブル B S C 2 2 に転送する。

【 0 0 2 0 】

また、割り込み制御回路 I N T C は各種割り込みを受け付ける。その中には、各

機能モジュールからのバス権要求がある。

(2) 周辺 L S I の内部動作

上述のデータ転送動作①～⑤の各々を実現するための周辺 L S I 3 3 の内部動作を説明する。

(a) データ転送①

フラッシュメモリ F L S 1 のインタフェース回路として図示しないフラッシュインタフェース回路（以下、「フラッシュ I F」と表記する）を用い、周辺装置 E D E V のインタフェース回路として U S B インタフェース回路 5 - 1 と Bluetooth インタフェース回路 5 - 2 を用いる。これらのインタフェース回路は、比較的低いレートの転送が許容されるため、これらのインタフェース回路がバスマスタとなるのではなく、内蔵 C P U (I C P U) 6 がバスマスタとなる。

【 0 0 2 1 】

フラッシュメモリ F L S 1 から周辺装置 E D E V へのデータ転送過程は、以下のようなになる。まず、フラッシュメモリ F L S 1 からフラッシュ I F を通してデータが周辺バス 3 に転送される。次に、データはフレキシブル B S C 2 2 を介して内蔵 C P U 6 のレジスタに転送される。次に、内蔵 C P U 6 は、レジスタに転送されたデータを、フレキシブル B S C 2 2 を介して周辺バス 3 に転送する。最後に、周辺バス 3 上のデータは、U S B インタフェース回路または Bluetooth インタフェース回路内のレジスタを介して機器に転送される。周辺装置 E D E V からフラッシュメモリ F L S 1 へのデータ転送過程は、上記の逆の過程となる。

(b) データ転送②

データ転送①と同じ理由で、内蔵 C P U 6 がバスマスタとなる。フラッシュメモリ F L S 2 から周辺装置 E D E V へのデータ転送過程は、最初にフラッシュメモリ F L S 2 から C P U バス 2 1 を介して、フレキシブル B S C 2 2 にデータが送られ、フレキシブル B S C 2 2 から内蔵 C P U 6 内のレジスタにデータ転送される。その後のデータ転送過程はデータ転送①と同じである。

(c) データ転送③

データ転送③においては周辺 L S I 3 3 の役割はバス制御のみである。メモリ M E M 1 から C P U バス 2 1 を介してフレキシブル B S C 2 2 にデータが送られ

、フレキシブルBSC22からIOバス1を介して、メモリMEM2を経由して表示制御回路LCDCにデータが転送される。表示制御回路LCDCは該データをディスプレイLCDに表示する。

(d) データ転送④及びデータ転送⑤

データ転送④及び⑤では、CPUバス21、IOバス1、および周辺LSI33のいずれも関係するので、周辺LSI33が制御LSIとなる。バスマスタは、データ処理を実行する画像圧縮伸張回路GRPなどの機能モジュールである。高速度のデータ処理という要求を満足させるためには、内蔵CPU6を介さないでデータ転送を行うことが有利だからである。

【0022】

画像圧縮伸張回路GRPを用いた画像データの伸張と表示を例にとって、データ転送過程④を説明する。まず、メモリMEM1からCPUバス21を介して、フレキシブルBSC22にデータが転送され、フレキシブルBSC22から内部バス4を介して画像圧縮伸張回路GRPにデータ転送される。次に、画像圧縮伸張回路GRPで画像データを伸張後、内部バス4を介してフレキシブルBSC22に伸張されたデータを送り、フレキシブルBSC22からIOバス1を介してメモリMEM2にデータ転送する。その後は、③と同様である。

【0023】

データ転送過程⑤もデータ転送過程④と同様である。図2に示すように、データ取り込み経路にはIOバス1と専用信号線48とがあり、どちらを用いてもよい。

(3) フレキシブルBSC22の機能

バスコントローラの主要機能は、バスステートコントロールとバスプロトコルの解読・生成である。バスステートコントロールとはCPUやその他からのバスの読み書き要求から状態を決定して、バスプロトコルの解読・生成を指示するものである。フレキシブルBSC22も公知のバスコントローラと同様にこの機能を有する。

【0024】

また、バスコントローラはバスへのデータ転送時にはプロトコルの生成を行い

、バスからのデータ取得時にはプロトコルの解読を行う。本発明のように複数のバスが存在する場合には、データを転送するバスまたはデータを取得するバスに応じた生成、解読が行われることになる。特に、データ転送②～⑤ではメモリ空間をまたがるデータ転送が行われる。そのため、フレキシブルBSCのプロトコルの解読・生成ではメモリ空間のマッピングを行い、マッピング対象のアドレス領域を互いにアドレス変換する必要がある。この機能により、プログラムの変更などの複雑な処理をすることなく別のメモリ空間をアクセスすることが可能となり、システム開発のコストを削減できる。

(4) フレキシブルBSCの構成と動作

フレキシブルBSC 22の構成を図3に示す。フレキシブルBSC 22は、バスステートコントローラBSTCとプロトコル解読・生成回路PAGを有する。バスステートコントローラBSTCは、バスマスタとなりうる回路（例えば、内蔵CPU 6、機能モジュール（例えば画像圧縮伸張回路GRP）、CPU 27等）からのバス権要求とデータ転送を行うバスを受け付け、優先順位に従って要求されるバス権を開放する。このとき、バスステートを変更し、バスプロトコル解読・生成回路PAGにデータ転送を行うバス情報を転送する。対象となるバスは、フレキシブルBSC 22が関連する全てのバス、即ち、CPUバス21、IOバス1、内部バス4、および周辺バス3である。

【0025】

バスプロトコル解読・生成回路PAGは、バスステートコントローラBSTCからバス情報を受け取ると、プロトコルの解読と生成、および必要なメモリ空間のアドレス変換を行う。

【0026】

バスステートコントローラBSTCからバスプロトコル解読・生成回路PAGに転送されるバス情報は以下の3種類を含む。第一は周辺LSI 33のバスアクセスか否かを示す第1バス情報28、第二は2つのメモリ空間にまたがるバスアクセスか否かを示す第2バス情報39、第三はCPUバスアクセスか否かを示す第3バス情報29である。これらのバス情報は、それぞれ、周辺LSIプロトコル解読／生成回路PPAG、アドレス変換回路ACON、およびCPUプロトコ

ル解読／生成回路CPAGの動作を制御する。また、第1バス情報28は、周辺LSIのメモリ空間に属するバス（IOバス1、内部バス4、周辺バス3）へのアクセスが生じたときにアクティブとなる。第2バス情報39は、両空間にまたがるアクセスが生じたことにアクティブとなる。第3バス情報29は、周辺LSIのメモリ空間に属しないバス（CPUバス21）へのアクセスが生じたときにアクティブとなる。

【0027】

データ転送①は周辺LSIのメモリ空間内のデータ転送である。この場合、第1バス情報28はアクティブとなるが、第2バス情報39と第3バス情報28はインアクティブとなる。これにより、一つのメモリ空間に閉じたデータ転送が実行される。

【0028】

データ転送②では、最初に内蔵CPU6がバスステートコントローラBSTCに制御線26によりCPUバス21のバスマスタ要求を出す。バスステートコントローラBSTCは制御線18を介してバス権要求ReqをCPU27に出し、許可Ackを受ける。これにより、IOバス1（または内部バス4、周辺バス3）からIOバス1へデータ転送することが許可される。IOバス1から周辺LSIプロトコル解読／生成回路PPAGはデータ取得するため、バスステートコントローラBSTCは第1バス信号28をアクティブとする。また転送されたデータは周辺バス3にデータ転送するため、アドレス変換が必要となる。そのため、バスステートコントローラBSTCは第2バス信号39もアクティブとする。アドレス変換回路ACONはアドレスバス50から取得した周辺LSIメモリ空間アドレスをCPUメモリ空間用にアドレス変換する。CPUプロトコル解読／生成回路CPAGはアドレス変換回路ACONによって変換されたCPUメモリ空間アドレスをアドレスバス51に、データをCPUバス21に出力する。

【0029】

データ転送③では、CPU27はバス権要求Reqを制御線18によりバスステートコントローラBSTCに出し、許可Ackを受ける。これにより、CPUバス21からIOバス1（または内部バス4、周辺バス3）へデータ転送するこ

とが許可される。CPUバス21からCPUプロトコル解読／生成回路CPAGはデータ取得するため、バスステートコントローラBSTCは第3バス信号29をアクティブとする。また転送されたデータはIOバス1にデータ転送するため、アドレス変換が必要となる。そのため、バスステートコントローラBSTCは第2バス信号39もアクティブとする。アドレス変換回路ACONはアドレスバス50から取得したCPUメモリ空間アドレスを周辺LSIメモリ空間用にアドレス変換する。周辺LSIプロトコル解読／生成回路PPAGはアドレス変換回路ACONによって変換された周辺LSIメモリ空間アドレスをアドレスバス50に、データをIOバス1に出力する。

(5) アドレス変換回路の構成と動作

周辺LSI33のメモリ空間MAPとCPU27のメモリ空間MACとをマッピングするためのアドレス変換を図4に示す。周辺LSI33がバスマスタとなりCPU27のメモリ空間にアクセスする場合(A)と、CPU27がバスマスタとなり周辺LSI33のメモリ空間にアクセスする場合(B)とがある。

【0030】

前者の場合には、アクセスしたいCPU27のメモリレンジ(第1のレンジ)に対して、周辺LSI33のメモリ空間中に対応するメモリレンジ(第2のレンジ)を割り付ける。アドレス変換に必要な情報は、第1のレンジの開始アドレスCA1、開始アドレスCA1に対応する開始アドレスPA1及び第1のレンジのアドレス幅RG1である。

【0031】

後者の場合には、前者の逆となり、アドレス変換に必要な情報は、アクセスしたい周辺LSI33のメモリレンジ(第3のレンジ)の開始アドレスPA2、開始アドレスPA2に対応するCPUメモリレンジ(第4のレンジ)の開始アドレスCA2及び第3のレンジのアドレス幅RG2である。

【0032】

これらのアドレス変換情報は内蔵フラッシュメモリIFLSに登録しておく。周辺LSI33のイニシャライズ時に内蔵フラッシュメモリIFLSからアドレス変換回路のレジスタ(図5を参照)に読み込む。開始アドレスCA1はレジス

タ $CA1-Reg$ に、開始アドレス $PA1$ はレジスタ $PA1-Reg$ に、アドレス幅 $RG1$ はレジスタ $RG1-Reg$ に格納する。同様に、開始アドレス $CA2$ 、開始アドレス $PA2$ 、アドレス幅 $RG2$ は、それぞれレジスタ $CA2-Reg$ 、レジスタ $PA2-Reg$ 、レジスタ $RG2-Reg$ に格納する。

【0033】

アドレス変換が必要なケースは（周辺 LSI のメモリ空間 → CPU のメモリ空間）または（CPU のメモリ空間 → 周辺 LSI のメモリ空間）の 2 種類あるが、両ケースとも同様な動作であるため、周辺 LSI 33 がバスマスタとして CPU メモリ空間にアクセスする場合について述べる。

【0034】

まず、周辺 LSI プロトコル解読／生成回路 PPAG からアクセスしたいアドレス（周辺 LSI メモリ空間 MAP でのアドレス（本例では「第 1 アドレス」と称する、図 4 の第 2 のレンジに属する）がアドレス変換回路 ACON に送られる。第 1 アドレスはセクタ $W-SEL1$ を介してレジスタ $PA-Reg$ に書き込まれる。このケースではレジスタ $CA1-Reg$ 、 $PA1-Reg$ 、 $RG1-Reg$ の値がアドレス領域選択回路 ASEL に読み込まれ、レジスタ $PA-Reg$ の第 1 アドレスが正しく第 2 のレンジに属するアドレスであるかどうかを判定する。第 2 のレンジに属さないアドレスであれば、エラー信号 61 を割り込み回路 INTC に送る。第 2 のレンジに属するアドレスであれば、アドレス演算回路 ACAL により CPU メモリ空間 MAC でのアドレスに変換する。新しいアドレス（本例では「第 2 アドレス」と称する）は $CA1$ （レジスタ $CA1-Reg$ のアドレス） + （レジスタ $PA-Reg$ のアドレス） - $PA1$ （レジスタ $PA1-Reg$ のアドレス）として求められる。第 2 アドレスはセクタ $W-SEL2$ を介してレジスタ $CA-Reg$ に書き込まれる。レジスタ $CA-Reg$ に書き込まれた第 2 アドレスは、CPU プロトコル解読／生成回路 CPAG に出力される。

【0035】

CPU 27 がバスマスタとなる場合も同様である。この場合の新しいアドレスは $PA2$ （レジスタ $PA2-Reg$ のアドレス） + （レジスタ $CA-Reg$ のアドレス） - $CA2$ （レジスタ $CA2-Reg$ のアドレス）として求められる。

(6) イニシャライズ動作

周辺 L S I 3 3 のイニシャライズ時に内蔵フラッシュメモリ I F L S の内容をレジスタ群 6 0 a、6 0 b に読み込む。この読み込みは読み出し回路 I F L S R を用いて行う。読み出し回路 I F L S R は、読み出しシーケンサ S Q S とメモリインタフェース回路 M I F とを有する。

【 0 0 3 6 】

バスステートコントローラ B S T C は、パワーオンリセット信号等の入力に応じてイニシャライズ動作の要求を信号線 1 7 を介して読み出し回路 I F L S R に通知する。この通知に従い、読み出しシーケンサ S Q S は、メモリインタフェース回路 M I F に指令を出し、あらかじめ定められたアドレスの順番に従い、データを順次読み出す。読み出されたデータは、アドレス変換回路 A C O N に送られ、セクタ W - S E L 3 は格納先レジスタを決定し、レジスタ群 6 0 a、6 0 b に格納する。

(7) バス・電源スイッチ回路

周辺 L S I 3 3 に内蔵する機能モジュールは、様々な機能モジュールを搭載させておく多様なシステムに対応するために有利である。その場合には、使用されない機能モジュールが周辺 L S I 3 3 には内蔵されているということになり、不使用の機能モジュールに無駄な電流が流れて電力を消費したり、誤作動を防止したりすることが望ましい。図 6 に不使用の機能モジュールをバスに接続することを停止し、電力の供給を停止させるスイッチ回路の構成例を示す。なお、図 6 の例では接続バスとして周辺バス 3 を示しているが、内部バス 4 の場合も同じである。

【 0 0 3 7 】

スイッチ回路 B P S W は、電源線 4 3 と機能モジュールの電源線との間に設けられたスイッチ素子 2 4 0 と、バス 3 と機能モジュールとの間に設けられたスイッチ素子 2 4 0 とを有する。機能モジュール 5 - 1 に対応するスイッチ素子 2 3 0 - 1、スイッチ素子 2 4 0 - 1 は第 1 の制御信号により制御され、機能モジュール 5 - 2 に対応するスイッチ 2 3 0 - 2、スイッチ素子 2 4 0 - 2 は第 2 の制御信号により制御される。

【 0 0 3 8 】

制御信号によりスイッチ素子がオン状態とされる場合には、機能モジュールと周辺バスとの間のデータ転送が有効となり、電源も供給され、この機能モジュールは有効となる。一方、制御信号によりスイッチ素子がオフ状態とされる場合には、機能モジュールと周辺バスとの間のデータ転送が無効となり、電源も供給されず、この機能モジュールは無効となる。レジスタ *S e l - R e g* はこの制御信号を格納しており、スイッチ素子をオン状態とするような制御信号を 1、オフ状態とするような制御信号を 0 として格納しておく。

【 0 0 3 9 】

上述のように有効／無効の制御はレジスタ *S e l - R e g* にしたがって行われる。この有効／無効データも内蔵フラッシュメモリ *I F L S* に格納されており、周辺 *L S I 3 3* のイニシャライズ時に読み出し回路 *I F L S R* により読み出されて、レジスタファイル *S e l - R e g* に書き込まれる。イニシャライズ動作は上述した動作と同様に行われる。

【 0 0 4 0 】

以上、本発明を実施の形態に基づいて説明したが、種々の変形が可能である。例えば、図 2 の例では *C P U 2 7* と周辺 *L S I 3 3* を 1 つの基板に実装したが、別々の基板に実装してもよい。例えば、*C P U 2 7* を第 1 の基板に実装し、周辺 *L S I 3 3* を第 2 の基板に実装し、第 1 の基板と第 2 の基板とを配線層により接続し、これらを 1 つのパッケージに封止する形態にしてもよい。

【 0 0 4 1 】

また、内蔵フラッシュメモリ *I F L S* はフラッシュメモリに限られず、不揮発性メモリや電源がバックアップされた揮発性メモリであってもよい。利用可能な不揮発性メモリとしては紫外線消去型の *E P R O M* やヒューズなどが挙げられる。また、周辺 *L S I 3 3* に内蔵させることなく外付けのチップにしてもよい。

【 0 0 4 2 】

本発明では、制御信号（フレキシブル *B S C 2 2* 用のアドレス情報、バス・電源スイッチ回路 *B P S W* 用の機能モジュール選択情報）を内蔵フラッシュメモリ *I F L S* に格納することにより、同じ周辺 *L S I 3 3* を多様なシステムで使用する

ることが可能になる。内蔵フラッシュメモリ I F L S への書き込みはウェハ状態でプローブ検査を行う段階で行うことが望ましい。このように構成することにより、内蔵フラッシュメモリ I F L S に書き込みを行うための書き込み高電圧を印加するピンをパッケージに接続する必要がなくなる。これにより実装後の書き込みを防止できる。また、本発明の周辺 L S I のテストにあたってはバス・電源スイッチ回路 B P S W により選択される機能モジュールについてテストを行い、それ以外の機能モジュールに対してテストを省略するようにしてもよい。

【 0 0 4 3 】

【発明の効果】

本発明により、多様な機能モジュールを搭載し汎用的な周辺 L S I を設計の負担を与えることなくシステムに対応させて用いることが可能になる。

【図面の簡単な説明】

【図 1】

周辺 L S I 3 3 の構成図である。

【図 2】

本発明の周辺 L S I を含む半導体装置を含む携帯電話（システム）の構成図である。

【図 3】

フレキシブル B S C 2 2 の構成図である。

【図 4】

周辺 L S I メモリ空間 M A P と C P U メモリ空間 M A P の関係を示す図である。

【図 5】

アドレス変換回路 A C O N の構成図である。

【図 6】

バス・電源スイッチ回路 B P S W の構成図である。

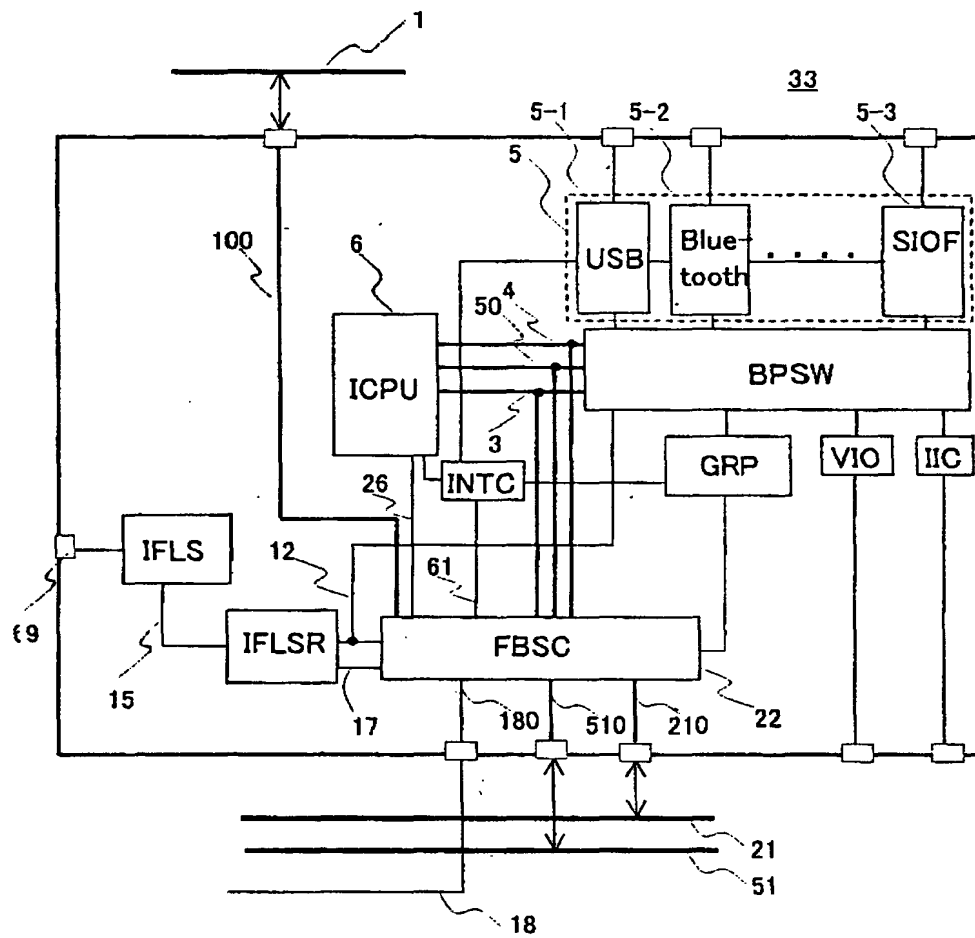
【符号の説明】

1 . . . I O バス、 3 . . . 周辺バス、 4 . . . 内部バス、 6 . . . 内蔵 C P U 、 2 1 . . . C P U バス、 2 2 . . . フレキシブル B S C (F B S C) 。

【書類名】 図面

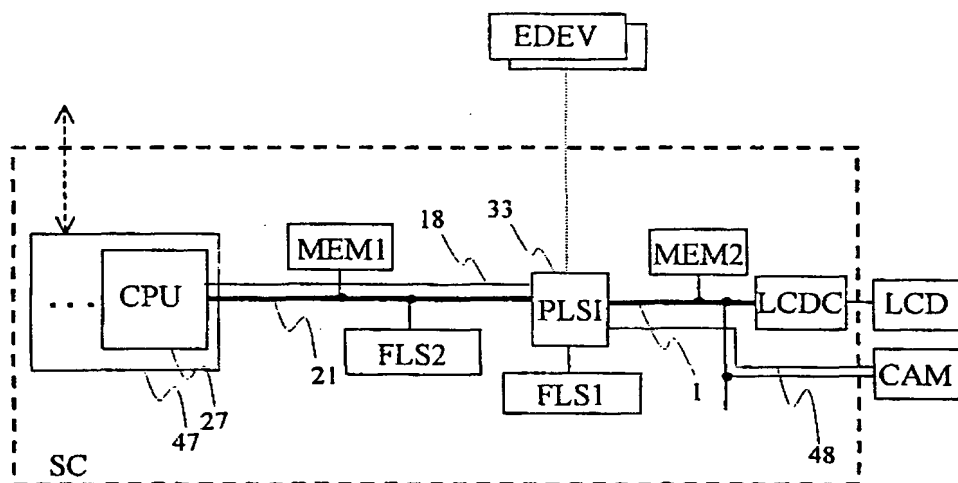
【図 1】

图 1

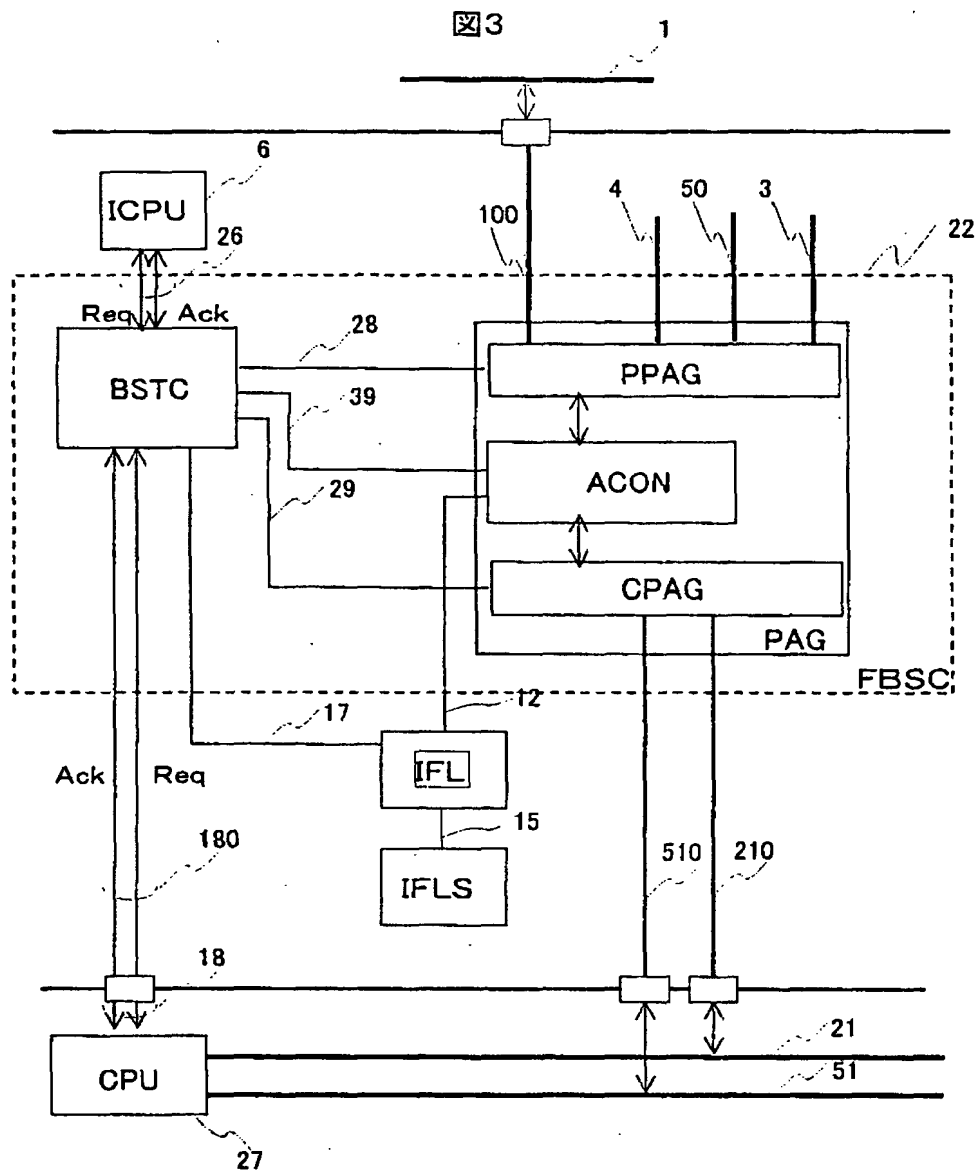


【図 2】

図 2

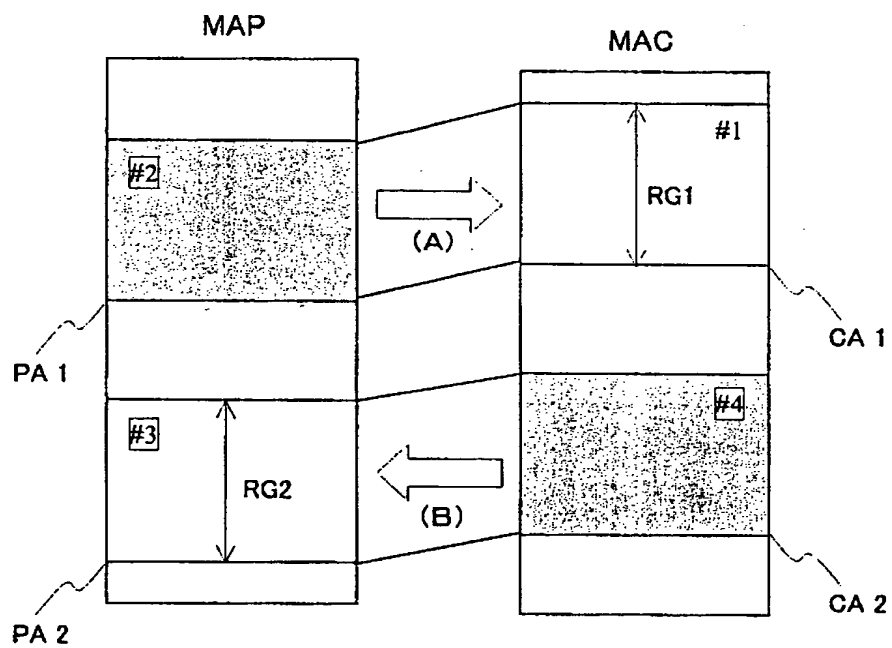


【図 3】

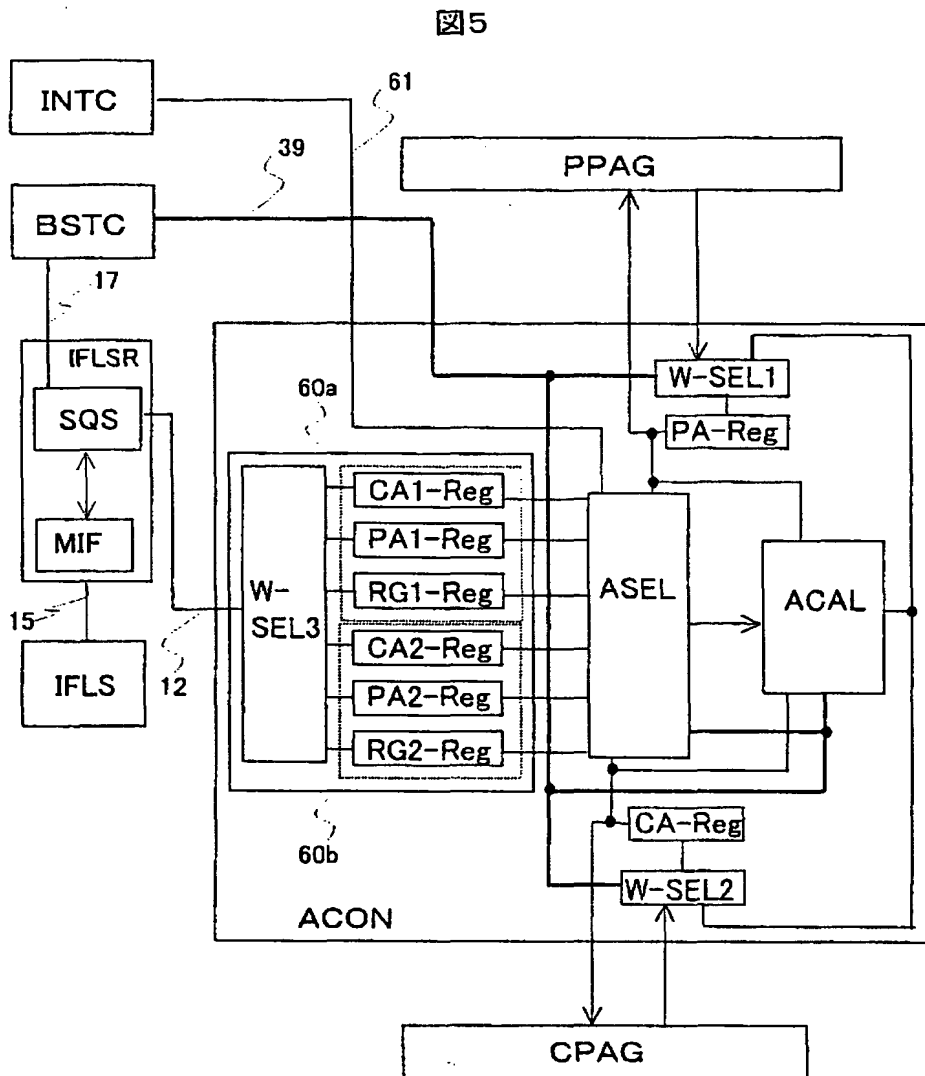


【図 4】

図 4

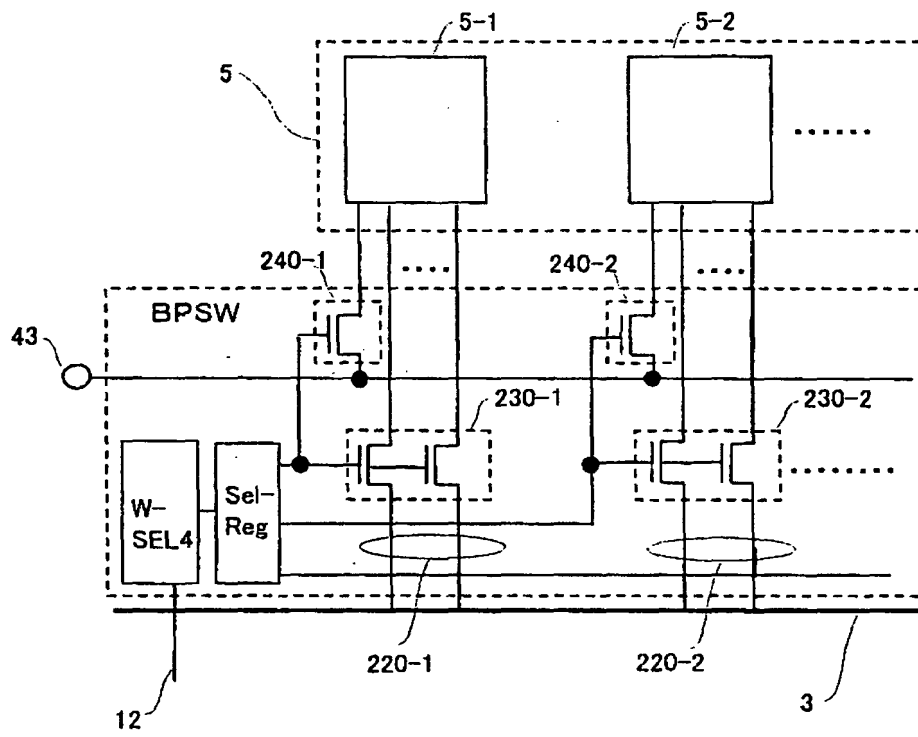


【図5】



【図 6】

図 6



【書類名】 要約書

【要約】

【課題】周辺 L S I 3 3 が、C P U 2 7 とは別のメモリ空間を持つ場合、互いに他のメモリ空間を意識しないアクセス方法を提供する。

【解決手段】フレキシブル B S C 2 2 は両メモリ空間のアドレス対応情報を元にアドレス変換する。

【効果】C P U 選択種の拡大、既存プログラムの再利用、新規プログラム開発の容易化が図れる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 4 7 9 6 9
受付番号	5 0 2 0 1 2 7 3 8 0 1
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 8 月 2 9 日

< 認定情報・付加情報 >

【提出日】	平成14年 8月28日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所